

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): YAMAMOTO, et al.
Serial No.: Not yet assigned
Filed: July 14, 2003
Title: SIGNAL RECEIVING APPARATUS AND GAIN CONTROL
METHOD USING ANALOG CONTROL AGC AND STEP
CONTROL AGC
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 14, 2003


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-205835, filed July 15, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/alb
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月15日

出願番号

Application Number:

特願2002-205835

[ST.10/C]:

[JP2002-205835]

出願人

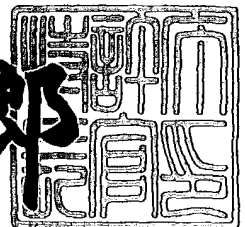
Applicant(s):

株式会社日立製作所

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038533

【書類名】 特許願

【整理番号】 Y3438

【提出日】 平成14年 7月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 7/26

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社 日立製作所 デジタルメディア開発本部内

【氏名】 山本 昭夫

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社 日立製作所 デジタルメディア開発本部内

【氏名】 五十嵐 豊

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社 日立製作所 デジタルメディア開発本部内

【氏名】 生田 功

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 113584

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信装置及び利得制御システム

【特許請求の範囲】

【請求項 1】 受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信装置において、

利得が連続的に可変するアナログ制御 AGC と、

利得がステップ状に切り替えられるステップ制御 AGC と

を備え、該ベースバンド帯の信号を該アナログ制御 AGC と該ステップ制御 AGC とで処理することを特徴とする受信装置。

【請求項 2】 受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信装置において、

利得が連続的に可変するアナログ制御 AGC と、

利得がステップ状に切り替えられるステップ制御 AGC と、

該ステップ制御 AGC の利得切り替えタイミングとほぼ同時にあるいは該利得切り替えタイミングよりも早いタイミングで、該ステップ制御 AGC の利得切り替え幅に応じたオフセット信号を生成するメモリ部と、

該メモリ部から出力される該オフセット信号でアナログ制御 AGC の利得制御信号を制御する手段と

を備え、該ベースバンド帯の信号を該アナログ制御 AGC と該ステップ制御 AGC とで処理することを特徴とする受信装置。

【請求項 3】 請求項 1 または 2 において、

受信した前記高周波信号を増幅し、利得がステップ状に切り替えられる増幅器を設け、

前記ステップ制御 AGC の利得切り替えを第 1 の受信レベルで行ない、該増幅器の利得切り替えを該第 1 の受信レベルよりも高い第 2 の受信レベルで行なうことを特徴とする受信装置。

【請求項 4】 請求項 1 または 2 において、

受信した前記高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器を設け、

前記ステップ制御AGCの利得切り替えを、受信レベルが増加していくときには、第1の受信レベルRL1で、受信レベルが低下していくときには、該第1の受信レベルRL1とは異なる第2の受信レベルRL1'で夫々行ない、

該増幅器の利得切り替えを、受信レベルが増加していくときには、第3の受信レベルRL2で、受信レベルが低下していくときには、該第3の受信レベルRL2とは異なる第4の受信レベルRL2'で夫々行ない、

$RL1$ 及び $RL1' < RL2$ 及び $RL2'$

であることを特徴とする受信装置。

【請求項5】 受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信システムにおいて、

該ベースバンド帯の信号を、利得が連続的に可変するアナログ制御AGCと利得がステップ状に切り替えられるステップ制御AGCとで処理することを特徴とする利得制御システム。

【請求項6】 受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信システムにおいて、

該ベースバンド帯の信号を、利得が連続的に可変するアナログ制御AGCと利得がステップ状に切り替えられるステップ制御AGCとで処理し、

該ステップ制御AGCの利得切り替えタイミングとほぼ同時にあるいは該利得切り替えタイミングよりも早いタイミングで、該ステップ制御AGCの利得切り替え幅に応じたオフセット信号により、アナログ制御AGCの利得制御信号を制御することを特徴とする利得制御システム。

【請求項7】 請求項1または2において、

受信した前記高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器を有し、

前記ステップ制御AGCの利得切り替えを第1の受信レベルで行ない、該増幅器の利得切り替えを該第1の受信レベルよりも高い第2の受信レベルで行なうことを特徴とする利得制御システム。

【請求項8】 請求項1または2において、

受信した前記高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器

を有し、

前記ステップ制御 A G C の利得切り替えを、受信レベルが増加していくときには、第 1 の受信レベル R L 1 で、受信レベルが低下していくときには、該第 1 の受信レベル R L 1 とは異なる第 2 の受信レベル R L 1 ' で夫々行ない、

該増幅器の利得切り替えを、受信レベルが増加していくときには、第 3 の受信レベル R L 2 で、受信レベルが低下していくときには、該第 3 の受信レベル R L 2 とは異なる第 4 の受信レベル R L 2 ' で夫々行ない、

$R L 1 \text{ 及び } R L 1' < R L 2 \text{ 及び } R L 2'$

であることを特徴とする利得制御システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、携帯端末などのデジタル変調された高周波信号を受信する受信装置及び利得制御システムに関する。

【 0 0 0 2 】

【従来の技術】

携帯電話は、G S M (Global System for Mobile communications) 方式が欧州などを中心に使用されており、国内では、第 3 世代方式として、W C D M A 方式 (Wideband Code Division Multiple Access 方式：送受信帯域が夫々 1920-1980 M H z , 2110-2170 M H z の 2 G H z 帯：以下、W C D M A 2000 という) が開始された。これら携帯電話の受信回路には、“A Single-Chip Quad-Band Direct-Conversion GSM/GPRS RF Transceiver with Integrated VCOs and Fractional-N Synthesizer” ISSCC 2002, 14.2 (文献 (1))、並びに “ZERO INTERMEDIATE FREQUENCY RECEIVER HAVING AN AUTOMATIC GAIN CONTROL CIRCUIT” UNITED States Patent 5483691 (文献 (2)) に記載のように、受信 R F 信号を直接ベースバンド帯の I / Q 信号に変換するダイレクトコンバージョン方式が用いられる。ダイレクトコンバージョン方式は、中間周波信号を用いないため、中間周波フィルタが不要となる利点がある。また、ダイレクトコンバージョン方式は、ベースバンド帯で生じる D C オフセットにより性能劣化するため、D C オフセット補償回

路によってDCオフセットの影響をキャンセルしている。また、ベースバンド帯の利得制御回路は、デジタル制御信号により素子の切り替えを行なって利得をステップ状に変化させるステップAGC(Automatic Gain Control Circuit:自動利得制御回路)、あるいはアナログ制御信号によって連続的に利得制御を行なうアナログAGCが用いられている。

【0003】

【発明が解決しようとする課題】

素子切り替えによるステップAGCを用いる場合、“DCオフセットキャンセラを備えたダイレクトコンバージョン受信機の無線部利得制御方法”2002年電子情報通信学会総合大会B-5-64(文献(3))に報告されているように、過渡応答妨害が発生する場合がある。GSM方式は、送信と受信が時間的に多重されたTDD(Time Division Duplex:送信と受信とを、同じ周波数として、時分割多重で行なう)方式であるため、通話あるいはデータ通信時には受信動作が間欠的に行なわれ、ステップAGCの利得は、受信動作していない期間に設定することができる。このために、上記の過渡応答妨害は問題にならない。

【0004】

これに対し、WCDMA方式は、送信と受信が周波数的に多重されたFDD(Frequency Division Duplex:送信と受信とを異なる周波数で行なう)方式であるために、通話あるいはデータ通信時は常に受信状態にある。従って、素子切り替えによるステップAGCを用いる場合、上記文献(2)に記載のように、過渡応答妨害の影響を考慮した設計が必要となる。例えば、過渡応答妨害の影響を出ないようにする一手法として、AGC制御時間間隔を充分にとる手法がある。しかしながら、受信レベルが変動する移動受信を考えた場合、制御間隔を狭くする必要があり、このため、過渡応答妨害の影響を受けることが考えられる。

【0005】

一方、利得制御方式として、CQ出版社“アナログICの機能回路設計入門”p.130(文献(4))に示されるトランスコンダクタンスアンプがある。これは、電流値を変えることによってコンダクタンスを可変とし、制御電圧に対して連続的に利得を可変するアナログAGC方式である。この方式は、連続的に利得を

可変にするため、過渡応答妨害が発生しないが、ステップAGCと比較して回路が若干複雑になり、消費電流も大きい場合がある。また、広いダイナミックレンジをカバーするためには、AGCを多段構成とする必要があり、消費電力も大きくなる可能性がある。

【0006】

本発明の目的は、かかる問題を解消し、ダイレクトコンバージョン方式受信機などのようにベースバンド帯で自動利得制御を行ない、過渡応答妨害の影響を受けずに、低消費電力化を可能とした受信装置及び利得制御システムを提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、本発明は、受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信装置であって、利得が連続的に可変するアナログ制御AGCと、利得がステップ状に切り替えられるステップ制御AGCとを備え、ベースバンド帯の信号をアナログ制御AGCとステップ制御AGCとで処理するものである。

【0008】

また、本発明は、受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信装置であって、利得が連続的に可変するアナログ制御AGCと、利得がステップ状に切り替えられるステップ制御AGCと、ステップ制御AGCの利得切り替えタイミングとほぼ同時にあるいは利得切り替えタイミングよりも早いタイミングで、ステップ制御AGCの利得切り替え幅に応じたオフセット信号を生成するメモリ部と、メモリ部から出力されるオフセット信号でアナログ制御AGCの利得制御信号を制御する手段とを備え、ベースバンド帯の信号をアナログ制御AGCとステップ制御AGCとで処理するものである。

【0009】

そして、受信した高周波信号を増幅し、利得がステップ状に切り替えられる増幅器を設け、ステップ制御AGCの利得切り替えを第1の受信レベルで行ない、増幅器の利得切り替えを第1の受信レベルよりも高い第2の受信レベルで行なう

ものである。

【 0 0 1 0 】

また、受信した高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器を設け、ステップ制御AGCの利得切り替えを、受信レベルが増加していくときには、第1の受信レベルRL1で、受信レベルが低下していくときには、第1の受信レベルRL1とは異なる第2の受信レベルRL1'で夫々行ない、増幅器の利得切り替えを、受信レベルが増加していくときには、第3の受信レベルRL2で、受信レベルが低下していくときには、第3の受信レベルRL2とは異なる第4の受信レベルRL2'で夫々行ない、 $RL1$ 及び $RL1' < RL2$ 及び $RL2'$ であるものである。

【 0 0 1 1 】

上記目的を達成するために、本発明は、受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信システムの利得制御システムであって、ベースバンド帯の信号を、利得が連続的に可変するアナログ制御AGCと利得がステップ状に切り替えられるステップ制御AGCとで処理するものである。

【 0 0 1 2 】

また、本発明は、受信した高周波信号をベースバンド帯の信号に周波数変換して処理する受信システムの利得制御システムであって、ベースバンド帯の信号を、利得が連続的に可変するアナログ制御AGCと利得がステップ状に切り替えられるステップ制御AGCとで処理し、ステップ制御AGCの利得切り替えタイミングとほぼ同時にあるいは該利得切り替えタイミングよりも早いタイミングで、ステップ制御AGCの利得切り替え幅に応じたオフセット信号により、アナログ制御AGCの利得制御信号を制御するものである。

【 0 0 1 3 】

そして、受信した高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器を有し、ステップ制御AGCの利得切り替えを第1の受信レベルで行ない、増幅器の利得切り替えを第1の受信レベルよりも高い第2の受信レベルで行なうものである。

【 0 0 1 4 】

また、受信した高周波信号を増幅し、ステップ状に利得が切り替えられる増幅器を有し、ステップ制御AGCの利得切り替えを、受信レベルが増加していくときには、第1の受信レベルRL1で、受信レベルが低下していくときには、第1の受信レベルRL1とは異なる第2の受信レベルRL1'で夫々行ない、増幅器の利得切り替えを、受信レベルが増加していくときには、第3の受信レベルRL2で、受信レベルが低下していくときには、第3の受信レベルRL2とは異なる第4の受信レベルRL2'で夫々行ない、 $RL1$ 及び $RL1' < RL2$ 及び $RL2'$ であるものである。

【0015】

要するに、本発明は、ダイレクトコンバージョン方式受信機などのベースバンド帯に用いるAGC方式として、ステップ制御AGCとアナログ制御AGCを共用して用いるものであり、これらを共用することにより、アナログ制御AGCの段数を削減でき、低消費電流化に効果がある。また、細かい利得制御をアナログ制御AGCで行なうことにより、ステップ制御AGCの利得制御の時間間隔を広げることが可能となり、過渡応答妨害の影響を受けないようにすることができる。また、ステップ制御AGCで利得を変える場合、アナログ制御AGCと連動して制御を行なうことにより、急激に利得が変動しないように制御を行なう。

【0016】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0017】

図1は本発明による受信装置及び利得制御システムの第1の実施形態を示すブロック図であって、1はアンテナ、2は分波器(DPX)、3は低雑音増幅器(LNA)、4, 5はミキサ、6は90度位相シフタ、7はVCO(電圧制御型発振器)、8, 9はアナログ制御AGC(自動利得制御増幅器)、10はDA(デジタル-アナログ)変換器、11, 12はフィルタ、13, 14はステップ制御AGC、15, 16はI(In-phase)/Q(Quadrature-phase)信号の出力端子、17はDCオフセット補償回路、18は受信処理部、19は制御部である。

【0018】

同図において、この第1の実施形態は、デジタル変調された信号を受信するものであって、送受信アンテナ1、分波器2、受信処理部18及び制御部19からなり、受信処理部18は、低雑音増幅器3、ミキサ4、5、90度位相シフタ6、VCO7、アナログ制御AGC8、9、DA変換器10、フィルタ11、12、ステップ制御AGC13、14、I、Q信号の出力端子15、16及びDCオフセット補償回路17から構成されている。制御部19は、デジタル利得切替制御信号G1によって低雑音増幅器3の利得を切り替え制御し、デジタル利得切替制御信号G4によってステップ制御AGC13、14の利得を切り替え制御する。また、制御部19から出力されるデジタル利得制御信号G2はDA変換器10でアナログ利得制御信号G3に変換され、このアナログ利得制御信号G3によってアナログ制御AGC8、9の利得が制御される。

【0019】

なお、この第1の実施形態は、分波器2を設け、図示しない送信系も有するものであって、その受信系を受信装置とするものであるが、受信系だけを備えた（従って、分波器2がない）受信装置であってもよい。このことは、後述する他の実施形態についても同様である。

【0020】

以下、この第1の実施形態の動作について説明する。

【0021】

アンテナ1で受信された無線高周波信号（以下、RF信号という）SRは、分波器2で送信信号STとは分波されて、受信処理部18に供給される。この受信処理部18では、入力された受信RF信号が、低雑音増幅器3で増幅された後、ミキサ4、5とに供給される。また、VCO7の発信信号は90度位相シフタ6に供給され、互いに $\pi/2$ だけ位相が異なる2つの発信信号が生成される。ミキサ4では、この一方の発信信号を用いてRF信号が検波され、また、ミキサ5では、他方の発信信号を用いたRF信号が検波されることにより、直交検波されたベースバンド帯のI、Q信号に変換される。以上の部分が高周波部を構成し、この高周波部が受信したRF信号を直接ベースバンド帯の信号に変換する構成をなしていることにより、この第1の実施形態は、ダイレクトコンバージョン方式の

受信装置を構成しているものである。これら I, Q 信号は夫々、ベースバンド部をなすアナログ制御 AGC 8, 9 で利得制御され、フィルタ 11, 12 で不要波が除去された後、ステップ制御 AGC 13, 14 で利得制御されて夫々出力端子 15, 16 信号から出力される。

【0022】

なお、DC オフセット補償回路 17 が、アナログ制御 AGC 8, 9 の出力から夫々このダイレクトコンバージョンによって生ずる DC オフセットを検出して、検出した DC オフセットがゼロとなるように、アナログ制御 AGC 8, 9 の DC バイアスを制御し、また、ステップ制御 AGC 13, 14 の出力から夫々このダイレクトコンバージョンによって生ずる DC オフセットを検出して、検出した DC オフセットがゼロとなるように、ステップ制御 AGC 13, 14 の DC バイアスを制御する。

【0023】

制御部 19 は、具体例として図 12 に示すが、例えば、出力端子 15, 16 から出力される I, Q 信号を処理する図示しないデジタル信号処理回路から受信信号のレベル（受信レベル）を検出し、この受信レベルに応じたデジタル利得切替制御信号 G1 を生成して低雑音増幅器 3 の利得を切り替え制御し、同様に、デジタル利得切替制御信号 G4 を生成してステップ制御 AGC 13, 14 の利得を切り替え制御し、さらに、デジタル利得制御信号 G2 を生成し、これを DA 変換器 10 で変換してアナログ利得制御信号 G3 とし、このアナログ利得制御信号 G3 でアナログ制御 AGC 8, 9 の利得を連続的に制御する。

【0024】

受信処理部 18 での受信レベルに対する利得制御方法としては、通常、アナログ制御 AGC 8, 9 を用いて利得制御を行ない、特定の受信レベルになると、ステップ制御 AGC 13, 14 あるいは低雑音増幅器 3 の利得切り替え制御を行なう。従って、ステップ制御 AGC 13, 14 の制御動作の時間間隔は長いものとなり、過渡応答妨害の影響はほとんど受けることがない。また、段数が少ない低消費電力化に有利なステップ制御 AGC を用いることができ、このため、低消費電力化が可能となる。

【0025】

このように、この第1の実施形態では、ベースバンド帯のI、Q信号の利得制御にステップ制御AGCとアナログ制御AGCとを用いることにより、過渡応答妨害が発生せず、低消費電力化が図れるという効果がある。

【0026】

図2は本発明による受信装置及び利得制御システムの第2の実施形態を示すブロック図であって、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0027】

この第2の実施形態は、図1に示す第1の実施形態に対し、ステップ制御AGC13、14とアナログ制御AGC8、9との配置関係を逆にしたものである。

【0028】

即ち、図2に示すように、ステップ制御AGC13、14をフィルタ11、12の入力側に、アナログ制御AGC8、9をフィルタ11、12の出力側に夫々設けたものである。これらAGCの制御や全体の動作は、図1に示した第1の実施形態と同様である。従って、この第2の実施形態でも、第1の実施形態と同様の効果が得られる。

【0029】

なお、この第2の実施形態においては、DCオフセット補償回路17は、ステップ制御AGC8、9の出力から夫々ダイレクトコンバージョンによって生ずるDCオフセットを検出し、検出したDCオフセットがゼロとなるように、ステップ制御AGC8、9のDCバイアスを制御し、また、アナログ制御AGC8、9の出力から夫々ダイレクトコンバージョンによって生ずるDCオフセットを検出し、検出したDCオフセットがゼロとなるように、アナログ制御AGC8、9のDCバイアスを制御する。

【0030】

図3は図1及び図2におけるアナログ制御AGC8、9のアナログ利得制御信号G3に対する利得特性の一具体例を示すものであって、図示するように、アナログ利得制御信号G3（制御電圧）に対して連続的に利得が可変する特性をなし

ている。

【0031】

図4は図1及び図2におけるステップ制御AGC13, 14のデジタル利得切替制御信号G4（制御ビット）に対する利得特性の一具体例を示すものであって、制御ビット毎に利得が変化し、不連続なステップ状の利得制御特性をなしている。なお、ステップ制御AGCは、このように制御ビットに対して利得を可変とするものであるから、PGA (Programmable Gain Amplifier) と呼ばれることもある。また、低雑音増幅器3も、デジタル利得切替制御信号G1に応じて、図4と同様の利得特性をなしている。

【0032】

図5は図1及び図2におけるアナログ制御AGC8, 9の一具体例を示す回路構成図であって、20, 21, 22は差動対、23は電圧／電流変換ブロックである。

【0033】

同図において、アナログ制御AGC8, 9は同一の回路構成をなして動作も同様であるから、アナログ制御AGC8について説明すると、一對のトランジスタのコレクタとエミッタとに夫々定電流源を用いた差動対20と、可変電流源と定電流源とで構成される可変利得の差動対21と、一對のトランジスタのエミッタに共通に可変電流源を設けた可変利得の差動対22とが直列に接続されてトランスコンダクタンスアンプを構成しており、このアナログ制御AGC8は、かかるトランスコンダクタンスアンプが、1以上の所定段数、直列接続された構成をなしている。ここでは、1段のトランスコンダクタンスアンプからなるものとしており、差動対20にミキサ4からのI信号（+I信号という）とこれを極性反転した信号（-I信号という）とが供給され、夫々が増幅されて差動対22から出力される。

【0034】

かかる構成のアナログ制御AGC8において、DA変換器10（図1及び図2）から出力された制御電圧としてのアナログ利得制御信号G3は、電圧／電流変換ブロック23により、電流に変換されて制御電流G3₁, G3₂が生成される。

この制御電流 $G3_1$ により、差動対 21 の可変電流源が制御され、この制御電流 $G3_2$ により、差動対 22 の可変電流源が制御され、これにより、アナログ制御 AGC 8 の利得が、図 3 に示したように、制御される。アナログ制御 AGC 9 (図 1, 図 2) についても、同様である。

【0035】

図 6 は図 1 及び図 2 におけるステップ制御 AGC 13, 14 の一具体例を示す回路構成図であって、24, 25, 26 は差動対、27, 28, 29 はスイッチ、30 はロジックである。

【0036】

同図において、ステップ制御 AGC 13, 14 は同一の回路構成をなして動作も同様であるから、ステップ制御 AGC 13 について説明すると、このステップ制御 AGC 13 は、エミッタ抵抗が異なることによって利得が異なる 2 つ以上の差動対 (ここでは、3 個の差動対 24, 25, 26 とするが、2 個でも、4 個以上であってもよい) が並列に接続されており、これら差動対 24, 25, 26 には、夫々をオン、オフするためのスイッチ 27, 28, 29 が設けられている。これらスイッチ 27, 28, 29 のオン、オフ制御により、差動対 24, 25, 26 のいずれか 1 つが選択され、選択された差動対で増幅された +I 信号, -I 信号が夫々出力される。

【0037】

制御部 19 (図 1 及び図 2) から出力されたデジタル利得切替制御信号 (制御ビット) $G4$ はロジック 30 に供給され、この制御ビットに応じて “1” または “0” のスイッチ制御信号 $G4_1$, $G4_2$, $G4_3$ が生成される。ここで、スイッチ制御信号 $G4_1$, $G4_2$, $G4_3$ は、それらのうちのいずれか 1 つのみが “1” であって、他は全て “0” である。スイッチ制御信号 $G4_1$ は差動対 24 のスイッチ 27 をオン、オフ制御し、スイッチ制御信号 $G4_2$ は差動対 25 のスイッチ 28 をオン、オフ制御し、スイッチ制御信号 $G4_3$ は差動対 26 のスイッチ 29 をオン、オフ制御するものであって、スイッチ制御信号 $G4_1$, $G4_2$, $G4_3$ が “1” のときには、スイッチ 27, 28, 29 がオンすることによって差動対 24, 25, 26 が作動状態となり、スイッチ制御信号 $G4_1$, $G4_2$, $G4_3$ が “

0” のときには、スイッチ 27, 28, 29 がオフすることによって差動対 24, 25, 26 が非作動状態となる。これにより、デジタル利得切替制御信号 G4 の値に応じて差動対 24, 25, 26 のいずれか 1 つのみが選択されて作動状態となり、従って、デジタル利得切替制御信号 G4 の値が変化するとともに、差動対 24, 25, 26 のうちで作動する差動対が切り替え選択される。

【0038】

このようにして、ステップ制御 AGC 13 は、デジタル利得切替制御信号 G4 に応じて利得がステップ状に切り替えられ、図 4 に示す利得特性を有することになる。

【0039】

図 7 は図 1, 図 2 に示した第 1, 第 2 の実施形態の受信レベルに対する利得制御特性の一具体例を示す図である。

【0040】

同図において、横軸は受信レベルを表わし、縦軸がこの受信処理部 18 の利得を表わしている。特性 G が受信レベルに対する受信処理部 18 の所要利得であり、第 1, 第 2 の実施形態では、受信レベル範囲 E に対して利得制御幅 GE が必要なものとする。

【0041】

この具体例では、ステップ制御 AGC 13, 14 の利得を “H”(High), “L”(Low) の 2 段階に切り替え可能とし、また、低雑音増幅器 3 (図 1, 図 2) の利得も “H”, “L” の 2 段階に切り替え可能としており、受信レベル RL1 でステップ制御 AGC 13, 14 の利得を切り替え、受信レベル RL2 で低雑音増幅器 3 の利得を切り替えるものとしている。

【0042】

太実線で示す特性 EA1, EA2, EA3 は、アナログ制御 AGC 8, 9 の利得制御範囲を示している。ここでは、受信レベル RL1 以下の受信レベル範囲では、ステップ制御 AGC 13, 14 と低雑音増幅器 3 との利得がいずれも “H” であり、アナログ制御 AGC 8, 9 は、受信レベルの変化とともに、特性 EA1 で示す範囲で連続的に利得制御を行なう。また、受信レベル RL1 以上でかつ受

信レベル R L 2 以下の受信レベル範囲では、ステップ制御 A G C 1 3, 1 4 の利得が “L” (例えば、利得位置などの低い利得)、低雑音増幅器 3 の利得が “H” であり、アナログ制御 A G C 8, 9 は、受信レベルの変化とともに、特性 E A 2 で示す範囲で連続的に利得制御を行なう。受信レベル R L 2 以上の受信レベル範囲では、ステップ制御 A G C 1 3, 1 4 と低雑音増幅器 3 との利得がいずれも “L” の状態であって、アナログ制御 A G C 8, 9 は、受信レベルの変化とともに、特性 E A 3 で示す範囲で連続的に利得制御を行なうものである。

【 0 0 4 3 】

ここで、図 7 での利得制御動作について説明すると、いま、受信レベルが受信レベル範囲 E の最低レベルにあるとすると、ステップ制御 A G C 1 3, 1 4 と低雑音増幅器 3 との利得がいずれも “H” であり、アナログ制御 A G C 8, 9 の利得は、特性 E A 1 の高い方の端側①にある。これにより、受信処理部 1 8 の利得は最大利得 G E 1 となる。

【 0 0 4 4 】

その後、受信レベルが高くなっていくと、アナログ制御 A G C 8, 9 の利得が特性 E A 1 の範囲内で低下していき、これとともに、受信処理部 1 8 の利得は特性 G 上を低下していく。そして、アナログ制御 A G C 8, 9 の利得が特性 E A 1 の低い方の端側②となる受信レベル R L 1 となると、受信処理部 1 8 の利得は特性 G 上の利得 G E 2 となるが、このとき、ステップ制御 A G C 1 3, 1 4 の利得が “H” から “L” に切り替わると、この利得の切り替わりにより、アナログ制御 A G C 8, 9 の利得変化範囲が特性 E A 1 から特性 E A 2 に移ることから、アナログ制御 A G C 8, 9 の利得が特性 E A 2 の低い方の端側③の状態となる。これにより、受信処理部 1 8 の利得は特性 G 上の利得 G E 3 となるが、これが利得 G E 2 に戻るよう、アナログ制御 A G C 8, 9 の利得が増加していき、特性 E A 2 の高い方の端側④となる。この状態で受信処理部 1 8 の利得が利得 G E 2 に戻るようになる。

【 0 0 4 5 】

さらに、受信レベルが上昇していき、受信レベル R L 2 となると、低雑音増幅器 3 の利得が “H” から “L” に切り替わることにより、アナログ制御 A G C 8

、9の利得変化範囲が特性E A 2から特性E A 3に移ることになり、従って、上記と同様にして、この切り替わりによってアナログ制御A G C 8, 9の利得が特性E A 3の低い方の端部⑤になって受信処理部1 8の利得が利得G E 4になるが、これが受信レベルR L 2での利得G E 3となるように、アナログ制御A G C 8, 9の利得が特性E A 3の高い方の端部⑥へと上昇していく。

【0 0 4 6】

このようにして、受信レベルが上昇していく場合には、ステップ制御A G C 1 3, 1 4や低雑音増幅器3の利得が“H”から“L”に切り替わるときに、受信処理部1 8の利得が一時低下するが、その後、アナログ制御A G C 8, 9の利得が増加することにより、受信処理部1 8は所定利得の状態となる。

【0 0 4 7】

受信レベルが高くなるにつれて以上のように動作するが、受信レベルが低くなっていく場合には、これとは逆の動作が行なわれる。例えば、受信レベルがR L 2以上の状態からR L 1以下の状態に変化すると、ステップ制御A G C 1 3, 1 4の利得が“L”から“H”に切り替わるが、この切り替わり直前では、アナログ制御A G C 8, 9の利得は特性E A 2の高い方の端側④にあって、受信処理部1 8の利得が利得G E 2であるが、この切り替わりにより、アナログ制御A G C 8, 9の利得変化範囲は特性E A 2から特性E A 1に移り、その利得は特性E A 1の高い方の端部①になる。このため、受信処理部1 8の利得は、受信レベルR L 1で所定の利得G E 2よりも高いG E 1となるが、アナログ制御A G C 8, 9の利得が低下して特性E A 1の低い方の端部②となり、これにより、受信処理部1 8の利得は所定の利得G E 2となる。

【0 0 4 8】

このようにして、受信レベルが低下していく場合には、ステップ制御A G C 1 3, 1 4や低雑音増幅器3の利得が“L”から“H”に切り替わるときに、受信処理部1 8の利得が一時上昇するが、その後、アナログ制御A G C 8, 9の利得が低下することにより、受信処理部1 8は所定利得の状態となる。

【0 0 4 9】

この具体例では、このように、受信レベルが高くなるに従って、初めにベース

バンド帯の I, Q 信号に対するステップ制御 AGC 13, 14 の利得を “H” から “L” へ切り替え、さらに受信レベルが高くなると、RF 帯の受信信号に対する低雑音増幅器 3 での利得を “H” から “L” へ切り替えるようにしている。このように、受信レベルが上昇する際には、低雑音増幅器 3 を動作させて雑音の発生を抑えた状態にあるときに、即ち、低雑音増幅器 3 の利得を “H” から “L” に切り替える前に、ステップ制御 AGC 13, 14 の利得を “H” から “L” へ切り替えていることにより、あるいはまた、受信レベルが低下する際には、低雑音増幅器 3 を動作させて雑音の発生を抑えた状態で、即ち、低雑音増幅器 3 の利得を “L” から “H” に切り替えた後に、ステップ制御 AGC 13, 14 の利得を “L” から “H” へ切り替えていることにより、受信処理部 18 で雑音による影響を低減できて雑音指数の劣化を抑制した利得制御が可能となるし、また、歪性能の劣化がない利得制御が可能である。

【0050】

また、受信レベルが高い通常の状態では、アナログ制御 AGC 8, 9 を用いて利得制御を行ない、特定の受信レベル RL2, RL1 になると、ステップ制御 AGC 13, 14 あるいは低雑音増幅器 3 を、その利得の切り替えを行なうことにより、動作させる。従って、ステップ制御 AGC 13, 14 の利得切り替え制御の時間間隔（即ち、利得が切り替わってから次に切り替わるまでの時間）は長いものとなり、その間一定利得の増幅器として動作するものであるから、過渡応答妨害の影響はほとんど受けることがない。

【0051】

図 8 は図 1, 図 2 に示した第 1, 第 2 の実施形態の受信レベルに対する利得制御特性の他の具体例を示す図であり、図 7 に対応する部分には同一符号を付けて説明を省略する。

【0052】

この具体例では、図 7 に示す具体例に対し、図 8 に示すように、ステップ制御 AGC 13, 14 の利得の切り替え点として受信レベル RL1' を追加し、低雑音増幅器 3 の利得の切り替え点として受信レベル RL2' を追加したものである。受信レベルが低レベルから高レベルに変化するときには、図 7 と同様に、ステ

ップ制御AGC13, 14は受信レベルRL1で、低雑音増幅器3は受信レベルRL2で夫々利得切り替えを行なうが、受信レベルが高レベルから低レベルに変化する場合には、ステップ制御AGC13, 14は受信レベルRL1よりも高い受信レベルRL1'で、低雑音増幅器3は受信レベルRL2よりも高い受信レベルRL2'で夫々利得切り替えを行ない、利得切り替えにヒステリシスを持たせる。かかるヒステリシスを持たせた利得切り替えも、制御部19の制御のもとに行なわれる。

【0053】

なお、受信レベルRL1'は受信レベルRL1よりも低くてもよいし、また、この受信レベルRL1'と受信レベルRL1とのレベル関係とは関係なく、受信レベルRL2'を受信レベルRL2よりも低くしてもよい。要するに、この第4の実施形態では、受信レベルRL1, RL2夫々に対し、それらとは異なる受信レベルRL1', RL2'を設定し、利得切り替えにヒステリシスを持たせるものである。

【0054】

図7に示した具体例のように、利得切り替え点にこのようなヒステレシスがない場合には、利得を切り替える受信レベルRL1, RL2付近で受信レベルが短い時間間隔で上下変動すると、ステップ制御AGC13, 14や低雑音増幅器3の利得が短い時間間隔で“H”, “L”切り替わることになり、過渡応答妨害が発生することが考えられるが、図8に示した具体例では、上記したように、利得切り替え点にヒステレシスを持たせることにより、利得を切り替える受信レベル付近で受信レベルが短い時間間隔で上下変動しても、これらステップ制御AGC13, 14や低雑音増幅器3の利得が“L”, “H”と繰り返し連続的に変化することはなく、かかる現象を防ぐことが可能である。

【0055】

図9は本発明による受信装置及び利得制御システムの第3の実施形態を示すブロック図であって、31はROM(Read only Memory)、32は加算器であり、図1に対応する部分には同一符号を付けて重複する説明を省略する。

【0056】

同図において、アナログ制御AGC 8, 9の制御系に加算器32とROM31とが設けられている。このROM31には、大きさの異なるオフセット信号が格納されており、各オフセット信号毎にアドレスが付加されている。制御部19は、デジタル利得切替制御信号G4でステップ制御AGC 13, 14の利得のほぼ切り替え時もしくはその切り替え前に、この利得切り替えによるステップ制御AGC 13, 14での利得変化の大きさに応じたオフセット信号SOをROM31から読み出すために、このオフセット信号SOを指定するアドレス信号Adを出力する。ROM31では、このアドレス信号Adで指定されるアドレスから該当するオフセット信号SOが読み出され、加算器32に供給される。加算器32では、このとき制御部19から出力されるデジタル利得制御信号G2にこのオフセット信号SOが加算され、これらの加算信号であるデジタル利得制御信号G2'がDA変換器10に供給されて、アナログ制御AGC 8, 9のアナログ利得制御信号G3が生成される。

【0057】

このように、デジタル利得切替制御信号G4によってステップ利得AGC 13, 14の利得が切り替わるとき、アナログ制御AGC 8, 9のアナログ利得制御信号G3をROM31からのオフセット信号SOによって変化させることにより、ステップ利得AGC 13, 14の利得の切り替わりによって受信処理部18の利得変化が大きくなり過ぎないようにし、これにより、受信処理部18が飽和しないようにする。

【0058】

図10は本発明による受信装置及び利得制御システムの第4の実施形態を示すブロック図であり、図9に対応する部分には同一符号を付けて重複する説明を省略する。

【0059】

この第6の実施形態は、図9に示す第3の実施形態に対し、ステップ制御AGC 13, 14とアナログ制御AGC 8, 9との配置関係を逆にしたものである。

【0060】

即ち、図10に示すように、ステップ制御AGC 13, 14をフィルタ11、

12の入力側、アナログ制御AGC8, 9を、DA変換器10やROM31, 加算器32からなるそれらの利得制御系とともに、フィルタ11, 12の出力側に設けたものである。これらAGCの制御や全体の動作は、図9に示した第3の実施形態と同様である。従って、この第4の実施形態でも、第3の実施形態と同様の効果が得られる。

【0061】

次に、これら第3, 第4の実施形態において、ステップ利得AGC13, 14の利得の切り替りによって受信処理部18の利得変化について、図11を用いて説明するが、まず、先の実施形態、例えば、図1, 図2に示す第1, 第2の実施形態について、図11(b)により説明する。

【0062】

いま、時刻 t_0 でステップ制御AGC13, 14の利得GSがデジタル利得切替制御信号G4によってステップ状に変化すると、先に図7で説明したように、低雑音増幅器3やアナログ制御AGC8, 9, ステップ制御AGC13, 14の利得による受信処理部18の利得GRも時刻 t_0 でステップ状に増加する。その後、アナログ利得制御信号G3により、アナログ制御AGC8, 9の利得GAが緩やかに減少していき、これとともに、受信処理部18の利得GRも緩やかに減少してほぼ元の値に収束することが考えられる。このため、ステップ制御AGC13, 14の利得GSが大きく変化した場合には、最終的には、受信処理部18の利得GRはほぼ元の値に収束するが、受信処理部18が一時飽和するなどの問題が生じることがある。

【0063】

これに対し、図9, 図10に示す第3, 第4の実施形態では、図11(a)に示すように、ステップ制御AGC13, 14の利得GSの切り替え時点 t_0 よりも $\Delta t (> 0)$ だけ前の時点に、加算器32でROM31からのオフセット信号SOをデジタル利得制御信号G2に加算することにより、アナログ利得制御信号G3を変化させてアナログ利得AGC8, 9の利得GAを減少させる。この場合、受信処理部18の利得GRは、時刻 t_0 より前の期間 Δt で減少し始めるが、時刻 t_0 での値から変化するので、大きくなり過ぎるのを抑えることができる。

ここで、ステップ制御AGC13, 14の利得GSが大きいほど、ROM31から読み出されるオフセット信号SOによるアナログ利得制御信号G3の変化を大きくし、アナログ利得AGC8, 9の利得GAがより大きく減少するようにする。これにより、受信処理部18の利得GRが大きくなり過ぎるのを常に抑えることができ、受信処理部18は信号特性が飽和することがない。

【0064】

アナログ利得AGC8, 9の利得GAはオフセット信号SOによって急速に減少し、また、これとともに、時刻 t_0 後の受信処理部18の利得GRも急速に減少する。そして、このオフセット信号SOによる急激な減少が終わると、そのときの状態から受信処理部18の利得GRがほぼ元の値に収束する状態になるまで、アナログ利得AGC8, 9の利得GAが低下していく。このように、ステップ制御AGC13, 14の利得GRが増加する方向に切り替わる場合には、アナログ利得AGC8, 9の利得GAがオフセット信号SOによって急速に減少させられるものであるから、受信処理部18が飽和するような利得GRの増加を抑えることができるが、さらに、ステップ制御AGC13, 14の利得GRが増加（時刻 t_0 ）してから元の値に収束するまでの時間を短縮することもできる。

【0065】

図12に本発明による受信装置及び利得制御システムを用いたWCDMA方式の通信端末の一具体例を示すブロック図であって、33はAD（アナログ→デジタル）変換器、34はデジタル信号処理部、35はDA変換器、36は送信処理部、37はPA（電力増幅器）であり、前出図面に対応する部分には同一符号を付けて重複する説明を省略する。

【0066】

同図において、アンテナ1からの受信信号（RF信号）SRは分波器2で送信信号STと分波され、上記の第1～第4の実施形態である受信処理部18に供給されて上記の受信処理がなされる。受信処理部18から出力されるI, Q信号は、AD変換器33でデジタル信号に変換された後、デジタル信号処理部34に供給され、所定の処理がなされてデータが生成される。

【0067】

一方、ベースバンド処理部 3 4 で送信するデータを処理して生成された I, Q 信号は、D A 変換器 3 5 でアナログの I, Q 信号に変換された後、送信処理部 3 6 で送信のための処理がなされて送信信号 S T となる。この送信信号 S T は、P A 3 7 で電力増幅された後、分波器 2 を介してアンテナ 1 から送信される。

【 0 0 6 8 】

このようにして、この具体例では、受信処理部 1 8 として、上記の第 1 ~ 第 4 の実施形態の受信装置及び利得制御システムを用いるので、これら実施形態と同様の効果が得られることになる。

【 0 0 6 9 】

【発明の効果】

以上説明したように、本発明によると、ダイレクトコンバージョン方式受信機などのベースバンド帯に用いる A G C 方式として、ステップ制御 A G C とアナログ制御 A G C を共用して用いるので、アナログ制御 A G C の段数を削減でき、低消費電流化に効果があるし、また、細かい利得制御をアナログ制御 A G C で行なうことにより、ステップ制御 A G C の利得制御の時間間隔を広げることが可能となり、過渡応答妨害の影響を受けないようにすることができる。さらに、ステップ制御 A G C で利得を変える場合、アナログ制御 A G C と連動して制御を行なうことにより、急激に利得が変動しないように制御を行なうことが可能となる。

【図面の簡単な説明】

【図 1】

本発明による受信装置及び利得制御システムの第 1 の実施形態を示すブロック図である。

【図 2】

本発明による受信装置及び利得制御システムの第 2 の実施形態を示すブロック図である。

【図 3】

図 1 及び図 2 におけるアナログ制御 A G C の制御電圧対利得特性の一具体例を示す特性図である。

【図 4】

図 1 及び図 2 におけるステップ制御 A G C の制御ビット対利得特性の一具体例を示す特性図である。

【図 5】

図 1 及び図 2 でのアナログ制御 A G C の一具体例を示す回路構成図である。

【図 6】

図 1 及び図 2 でのステップ制御 A G C の一具体例を示す回路構成図である。

【図 7】

図 1, 図 2 に示した第 1, 第 2 の実施形態の受信レベルに対する利得制御特性の一具体例を示す特性図である。

【図 8】

図 1, 図 2 に示した第 1, 第 2 の実施形態の受信レベルに対する利得制御特性の他の具体例を示す特性図である。

【図 9】

本発明による受信装置及び利得制御システムの第 3 の実施形態を示すブロック図である。

【図 1 0】

本発明による受信装置及び利得制御システムの第 4 の実施形態を示すブロック図である。

【図 1 1】

図 9 及び図 1 0 に示す実施形態と図 1 及び図 2 に示す実施形態とのステップ制御 A G C の利得の切り替えによる受信処理部の利得変化を対比して示す図である。

【図 1 2】

本発明による受信装置及び利得制御システムを用いた W C D M A 方式の通信端末の一具体例を示すブロック図である。

【符号の説明】

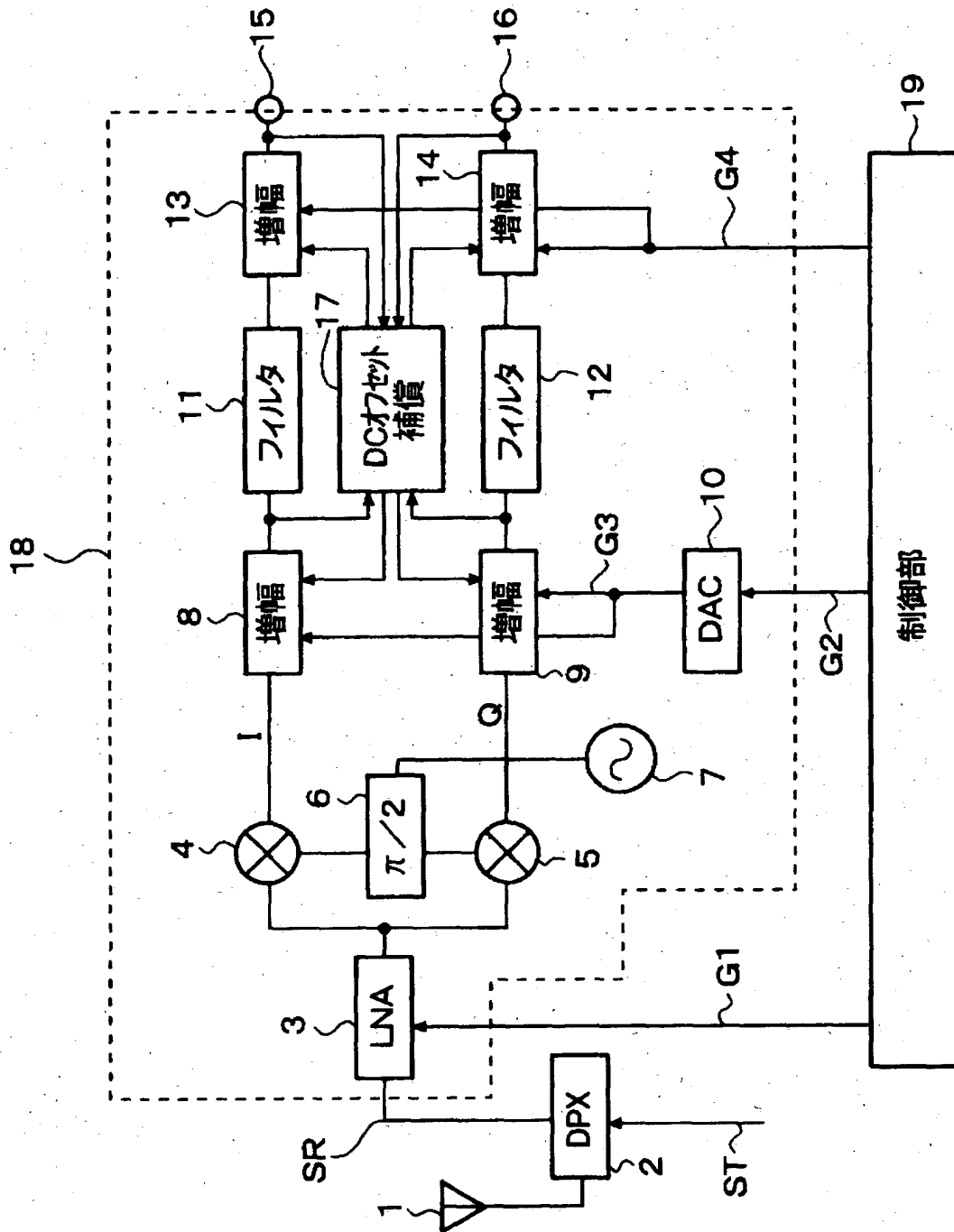
- 1 アンテナ
- 2 受信処理部
- 3 低雑音増幅器 (L N A)

- 4, 5 ミキサ
- 6 90度位相シフタ
- 7 VCO
- 8, 9 アナログ制御AGC
- 10 DA変換器
- 11, 12 フィルタ
- 13, 14 ステップ制御AGC
- 15, 16 出力端子
- 17 DCオフセット補償回路
- 18 受信処理部
- 19 制御部
- 31 ROM
- 32 加算器

【書類名】 図面

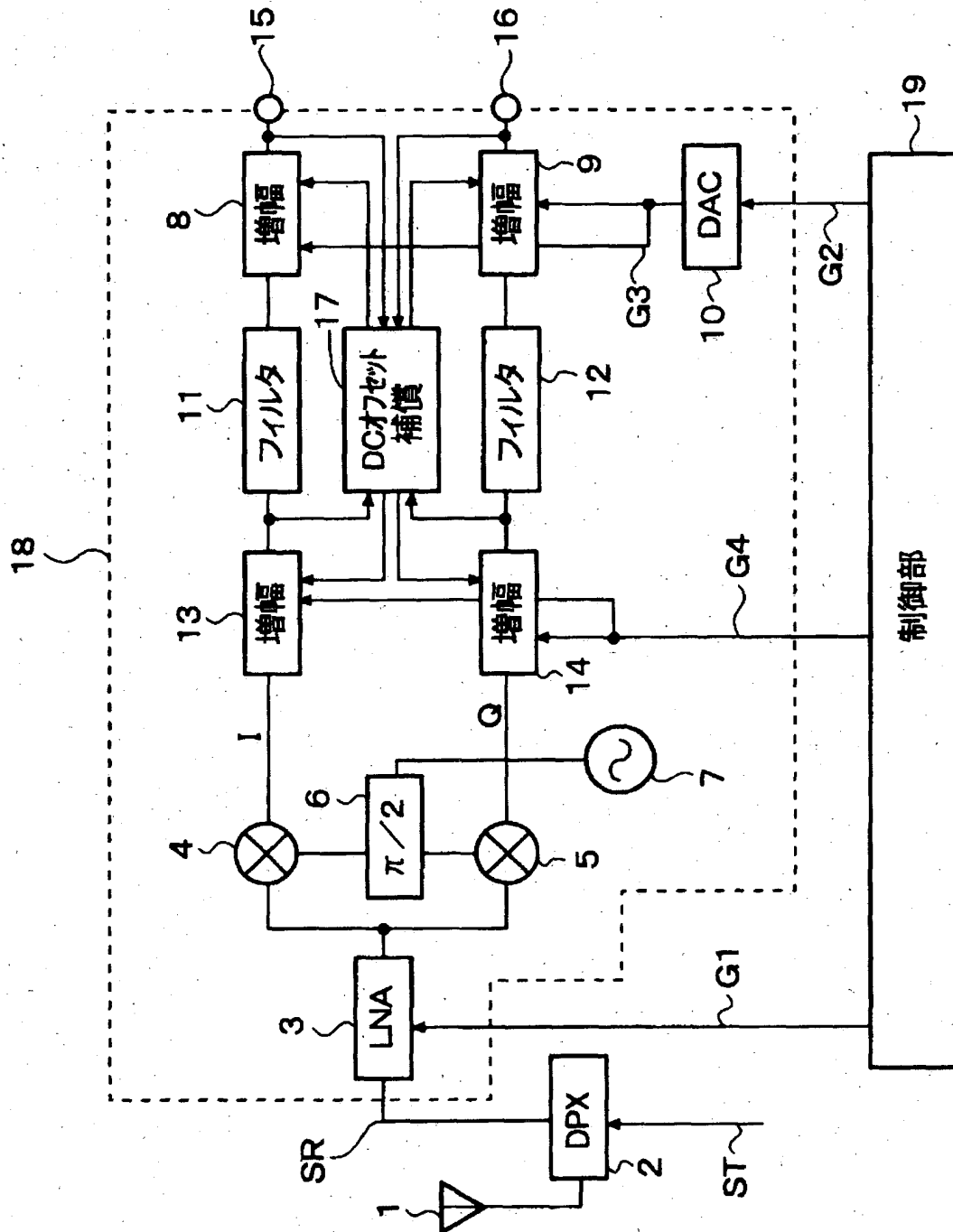
【図1】

図1



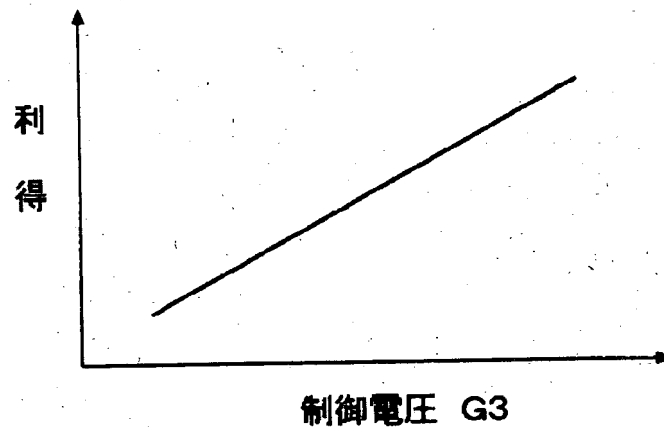
【図2】

図2



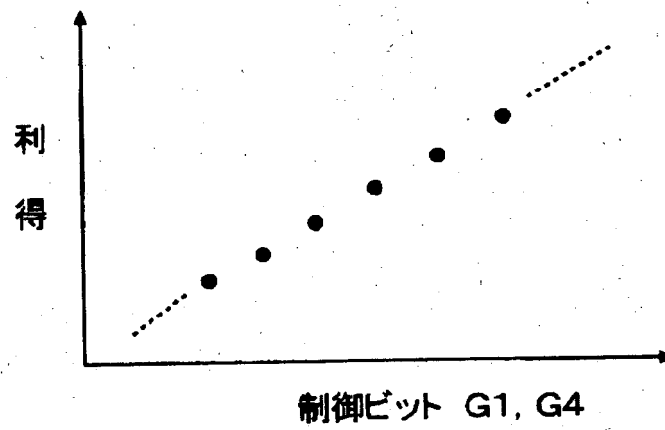
【図 3】

図 3



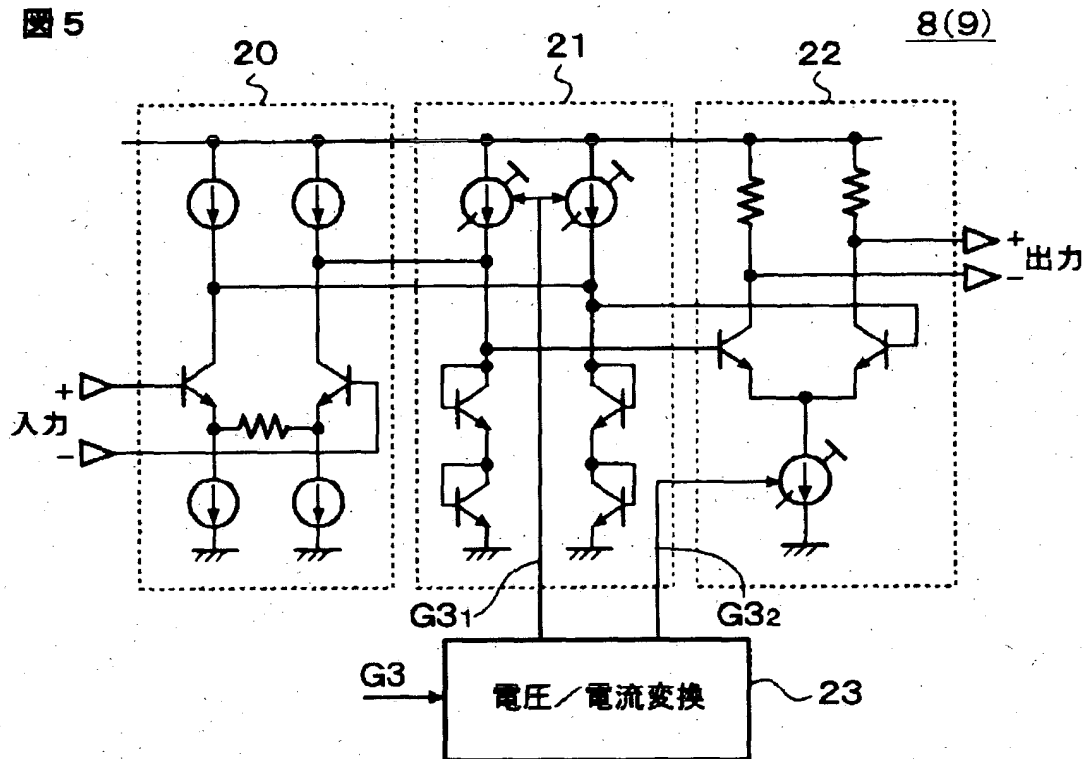
【図 4】

図 4



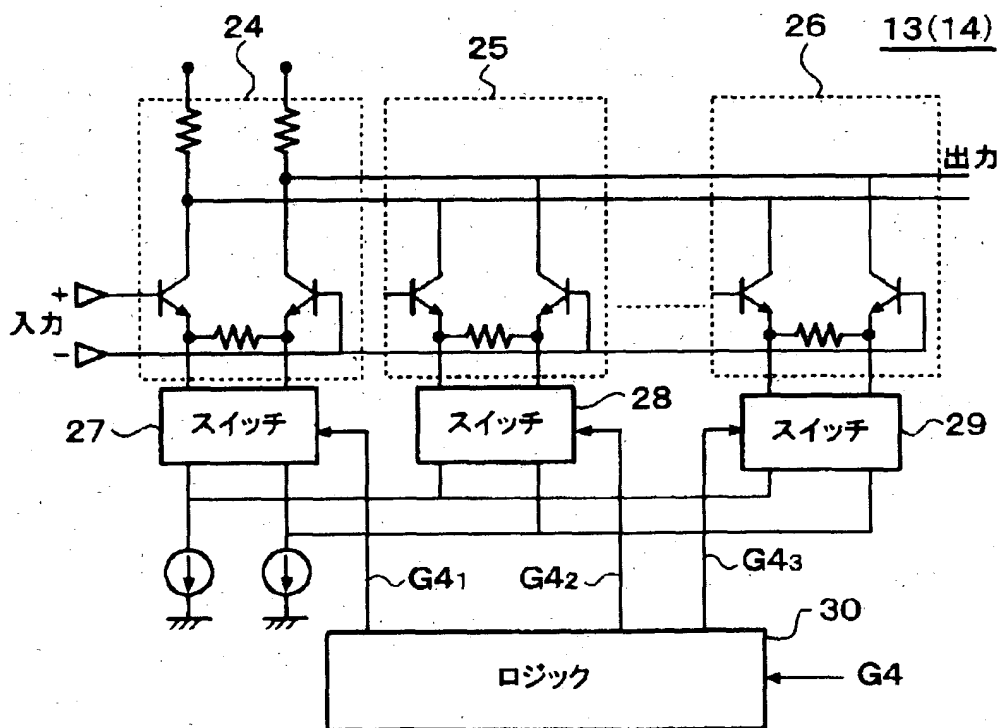
【図5】

図5



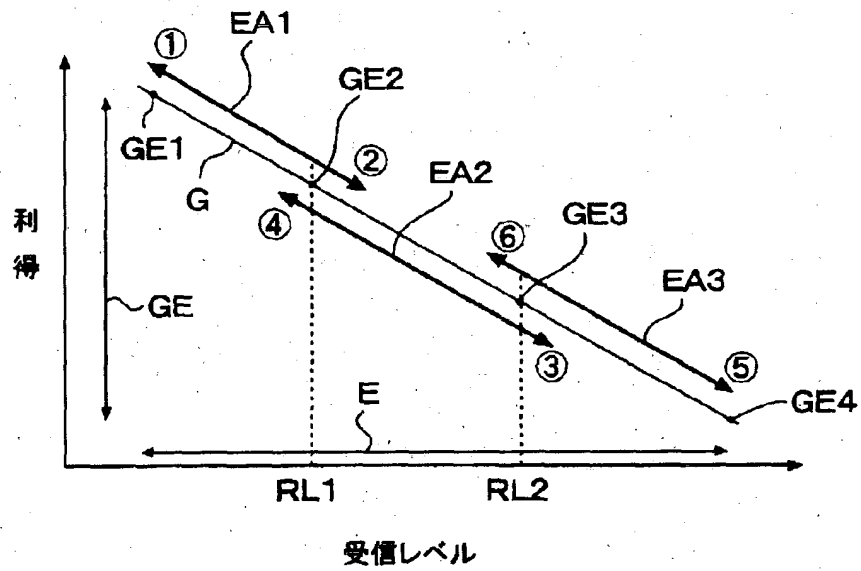
【図6】

図6



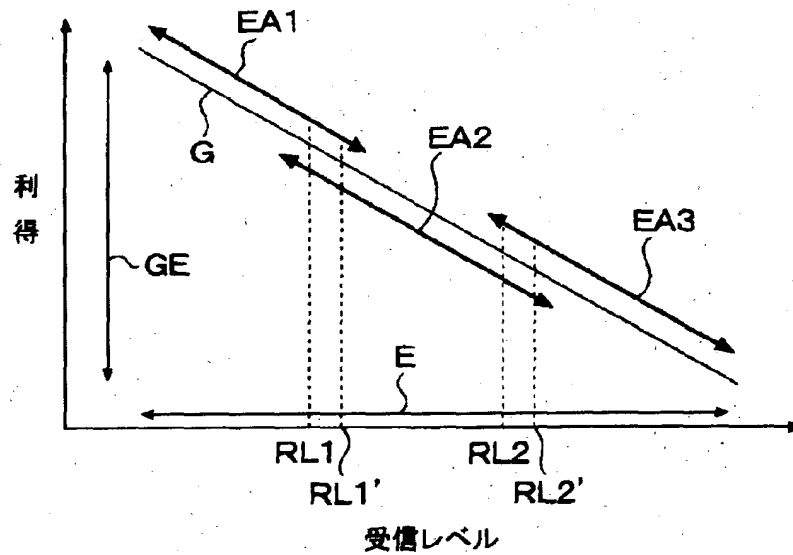
【図7】

図7



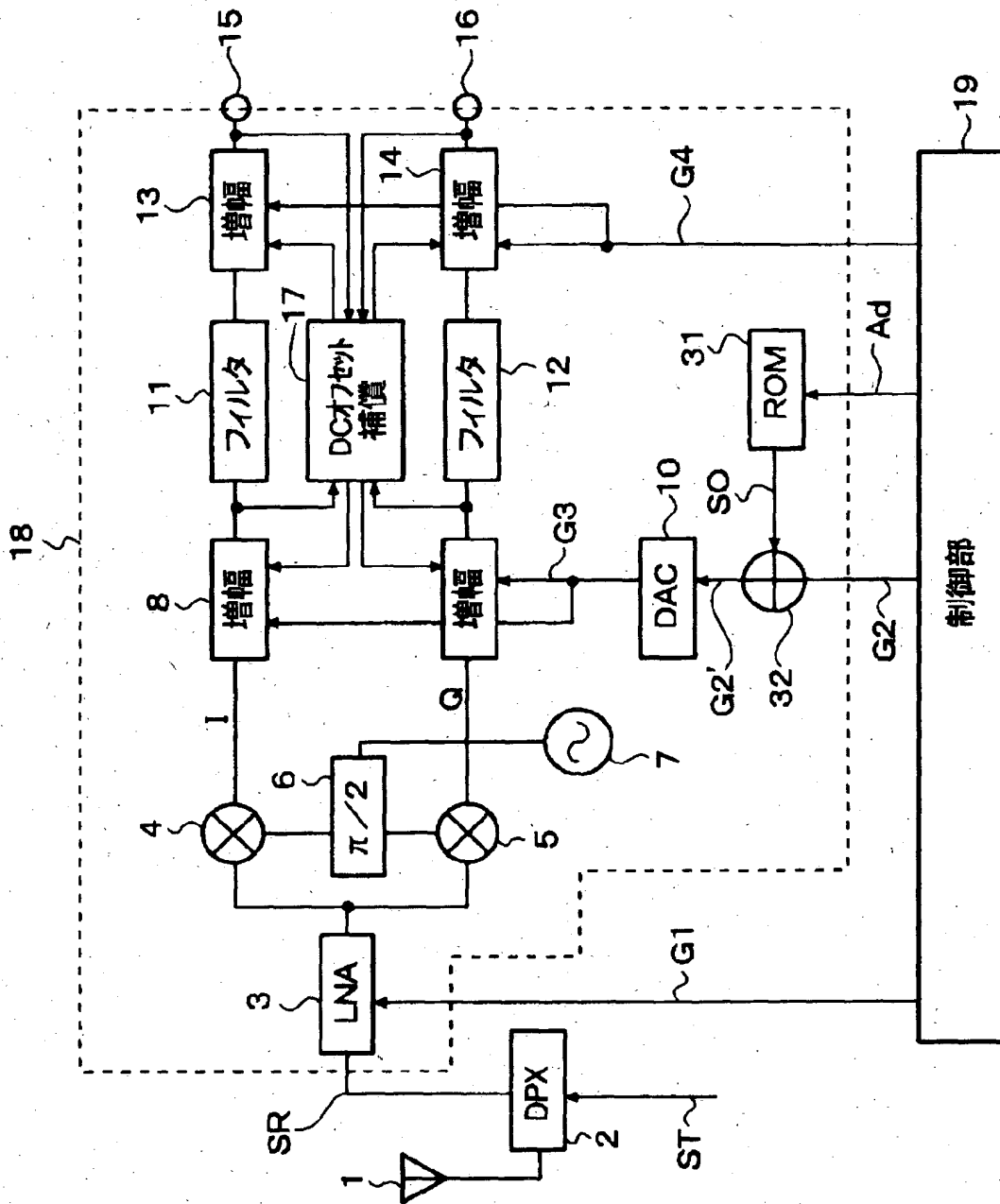
【図8】

図8



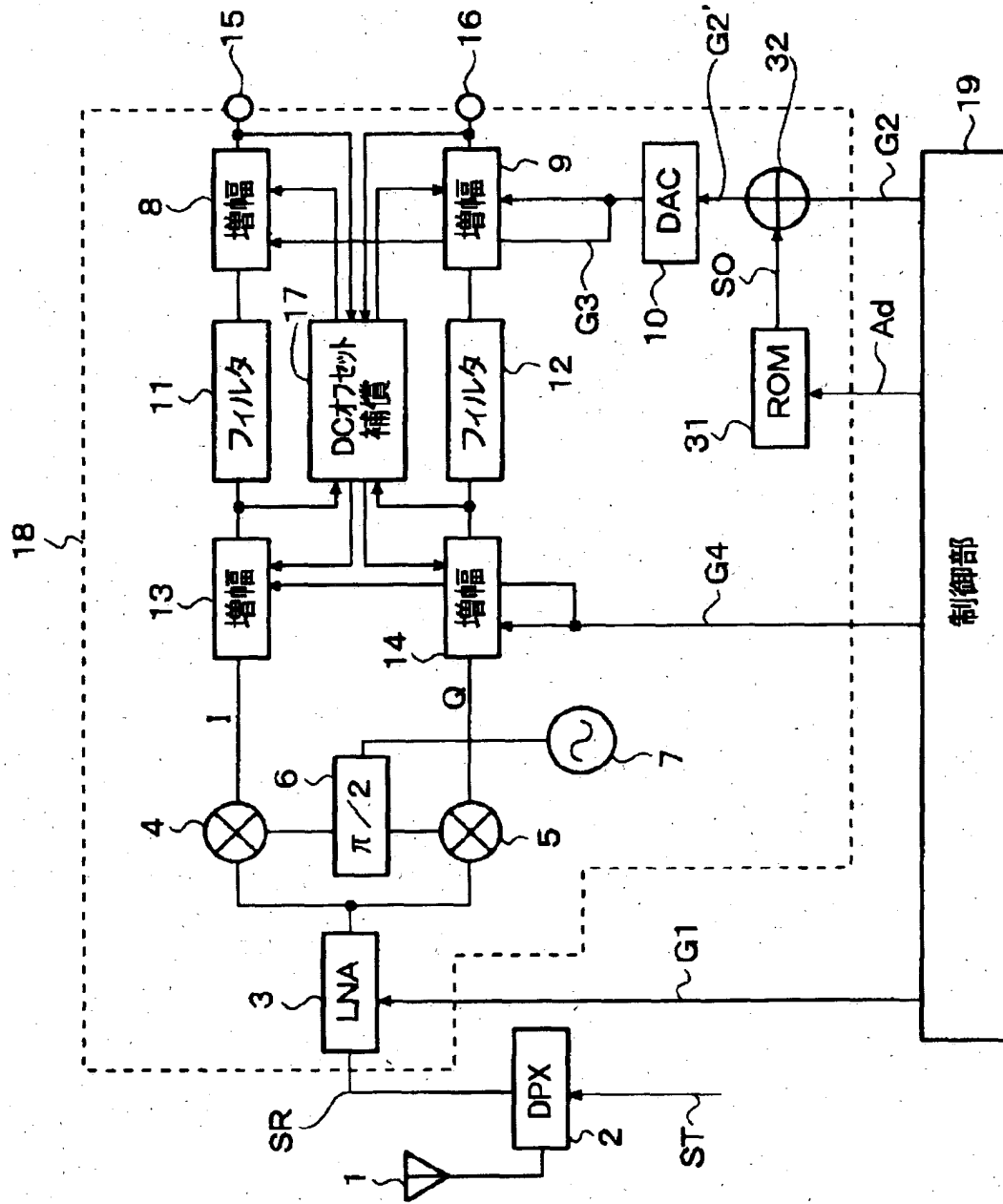
【図9】

図9



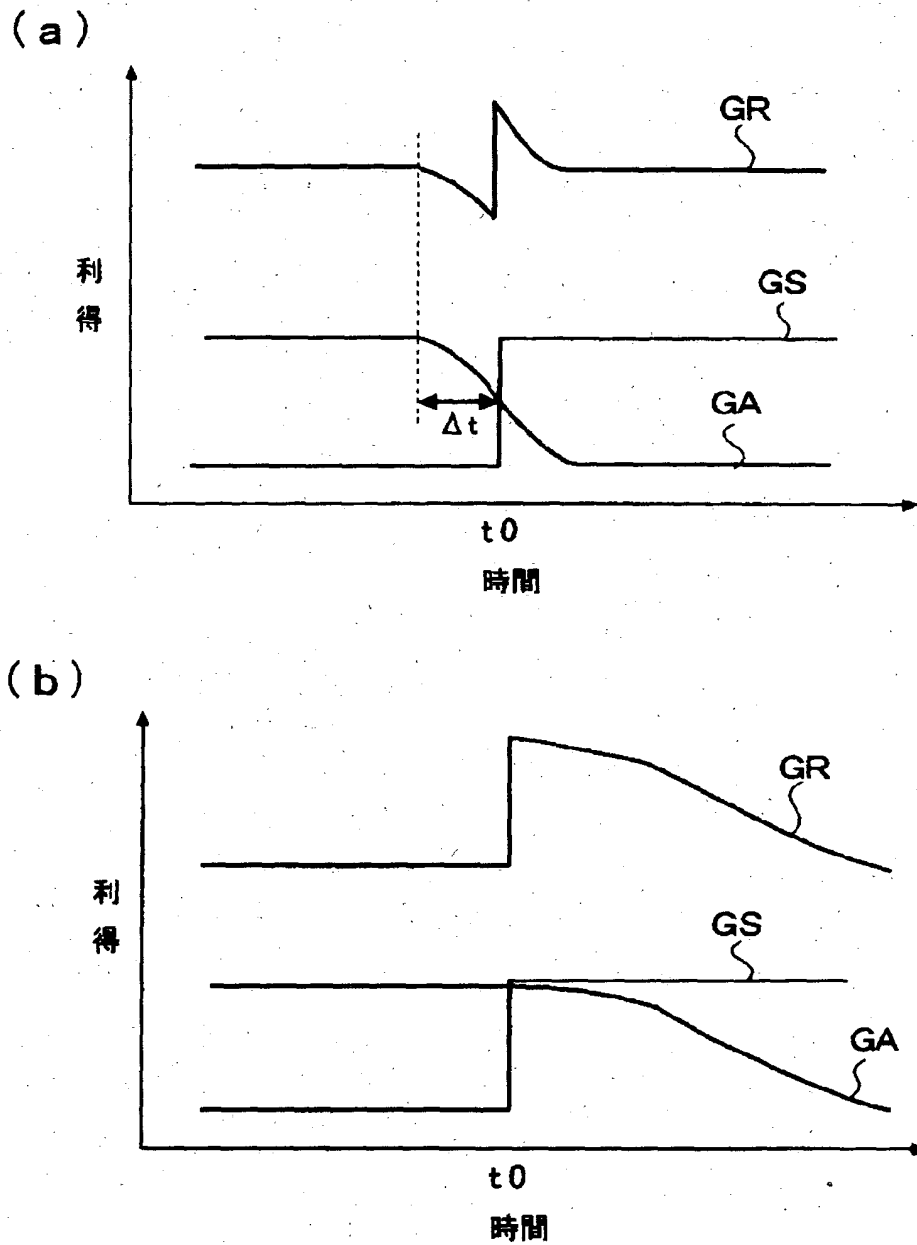
【図10】

図10



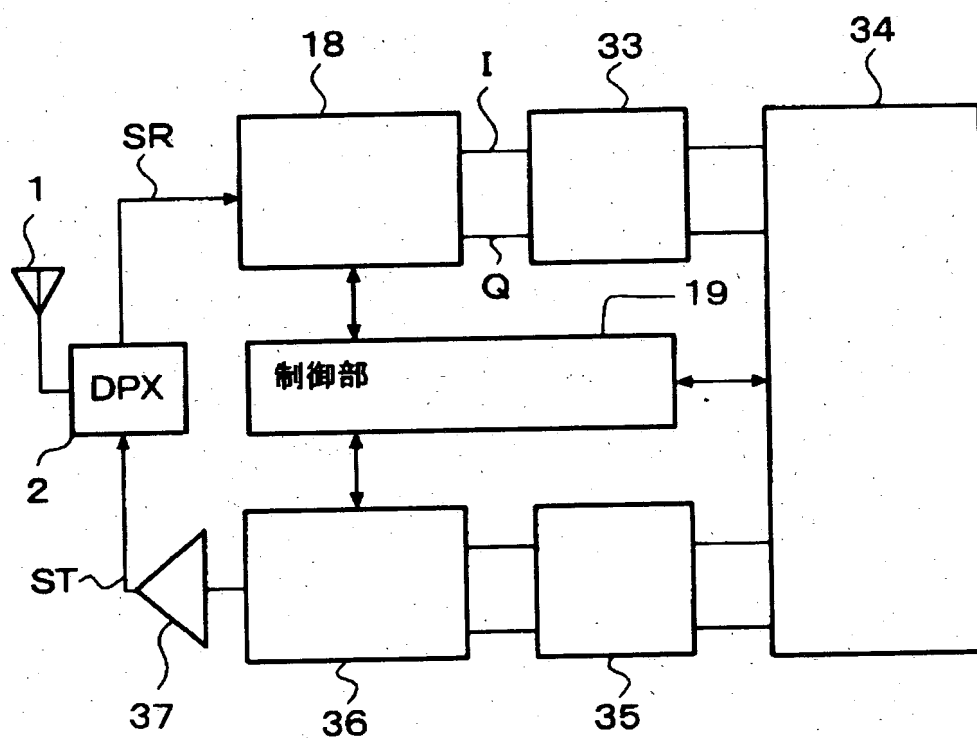
【図11】

図11



【図12】

図12



【書類名】 要約書

【要約】

【課題】 ベースバンド帯で、過渡応答妨害の影響を受けずに低消費電力のAGCを提供する。

【解決手段】 アンテナ1から受信されたRF信号は、ステップ状に利得が変化する低雑音増幅器3で増幅された後、ミキサ4, 5で直交検波され、ベースバンド帯のI, Q信号に変換される。これらI, Q信号は、利得が連続的に変化するアナログ制御AGC8, 9で増幅され、さらに、フィルタ11, 12で不要成分が除去された後、ステップ状に利得が切り替えられるステップ制御AGC13, 14で増幅されて出力端子15, 16から出力される。低雑音増幅器3とステップ制御AGC13, 14は、大きさが異なるが、所定の受信レベルで利得が切り替えられ、アナログ制御AGC8, 9は受信レベルの変化に応じて連続的に利得が変化する。

【選択図】 図1

出願人履歴情報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所